

Erkennung von Hardwaremanipulationen durch Lötzinn-Analyse

Thomas Kuhn

Halbleiter-Test & Vertriebs-GmbH

Zusammenfassung

Die IT-Sicherheit einer elektronischen Baugruppe hängt nicht nur von deren Software, sondern auch maßgeblich von deren Hardware ab. Ist ein Angreifer in der Lage bei der Hardware unbemerkte Änderungen vor der Auslieferung durchzuführen, kann er sich dadurch einen unbemerkten dauerhaften Zugriff auf die internen Abläufe der Baugruppe beschaffen. Im Folgenden werden die Ergebnisse einer Studie der HTV GmbH vorgestellt, die für das Bundesamt für Sicherheit in der Informationstechnik durchgeführt wurde [KuSV16]. Die Studie verfolgte das Ziel zu klären, welche Unterschiede reparierte bzw. manipulierte Baugruppen nach einem sogenannten Rework zeigen, welche Untersuchungsverfahren dafür eingesetzt werden können und welche Verfahren die besten Analyseergebnisse erzielen. Die Analyse wurde zum einen an Testleiterplatten durchgeführt und zum anderen an Leiterplatten von realen Mobiltelefonen.

1 Analyse von Testleiterplatten

Um die Änderungen an den Lötstellen detailliert beobachten und analysieren zu können wurden in einem ersten Schritt Testleiterplatten mit SOP-, BGA- und QFN-Bauteilen bestückt und deren Zustand, im Weiteren als Original bezeichnet, erfasst (vgl. Abbildung 1). Anschließend wurde bei zwei unterschiedlichen Herstellern von Reworksystemen (vgl. Abbildung 2) drei von sechs Bauteile eines Typs auf jeder Testleiterplatte getauscht (im Weiteren bezeichnet als Rework (A) und Rework (B)). Danach erfolgte der Vergleich der Bereiche mit und ohne Rework auf den manipulierten Testleiterplatten mit dem Originalzustand.

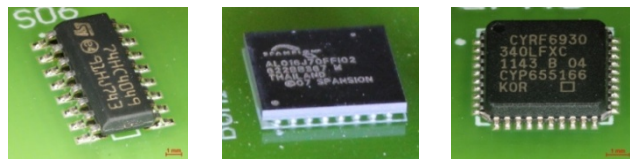


Abb. 1: Bauteile verlötet auf der Testleiterplatte. Links: SOP, Mitte: BGA, Rechts: QFN



Abb. 2: Verwendete Reworksysteme
Links: Ersa (HR 600/2), Rechts: Finetech (Fineplacer Core)

1.1 Übersicht zu den Testleiterplatten

Die einzelnen Testleiterplatten (LP) stellen einen Nutzen von Sub-Leiterplatten mit Lötflächen für jeweils sechs Bauteile (BT) mit den Gehäusetypen SOP, QFN und BGA dar. Die Sub-Leiterplatten können bei Bedarf leicht aus der Testleiterplatte herausgetrennt werden (vgl. Abbildung 3). Da Leiterplatten mit BGA-Bauteile standardmäßig ENIG (Electroless Nickel Immersion Gold) Lötflächen aufweisen, erhielten auch die Testleiterplatten ein ENIG-Finish. Die manipulierten Sub-Leiterplatten sind für die spätere Wiedererkennung mit "(m)" gekennzeichnet. J-BGA1(m) wäre dann der erste BGA, der manipuliert wird, auf der Testleiterplatte mit dem Buchstaben J.

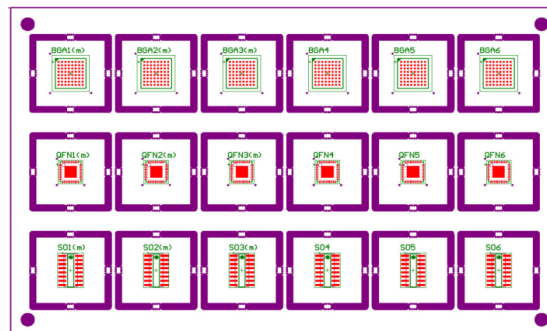


Abb. 3: Testleiterplatte mit Sub-Leiterplatten zum leichten Heraustrennen einzelner Regionen.

1.2 Übersicht zu den Arbeitsschritten

Zur Manipulation wurden die folgenden Änderungen an den Bauteilen auf den Testleiterplatten durchgeführt.

- SOP: Pro LP 3 Bauteile ablöten, LP reinigen, neues BT in Lotpaste dippen oder LP bedrucken und BT mit Anlage oder mit der Hand einlöten.
- BGA: Pro LP 3 Bauteile ablöten, LP reinigen, neues BT oder altes BT mit Reballing in Flussmittel dippen und BT mit Anlage einlöten.
- QFN: Pro LP 3 Bauteile ablöten, LP reinigen, neues BT mit Lotpaste bedrucken und BT mit Anlage einlöten.

1.3 Untersuchungsergebnisse Visuell / Mikroskopisch

Die **Leiterplatten** weisen bei beiden Herstellern nach dem Rework **dunkle Verfärbung** und teilweise auch mechanische Verformungen auf (vgl. Abbildung 4). Bei den Pins der SOP-Bauteile zeigen sich sowohl bei der Handlötung als auch bei Rework (B) ein auffälliger **Unterschied** in der **Lotmenge**. Beim Handlöten gelangte Lötzinn auf die Oberseite der Pins und bei Rework (B) war aufgrund zu großer Öffnungen in der Lotpastenschablone zu viel Lötzinn auf die Leiterplatte vor dem Lötprozess aufgetragen worden (vgl. Abbildung 5).

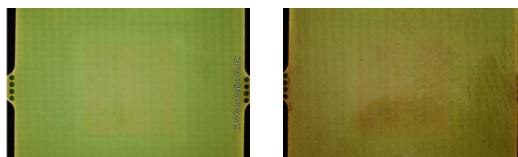


Abb. 4: Verfärbte Leiterplattenrückseite (links: Original, rechts: Verfärbung nach dem Rework)

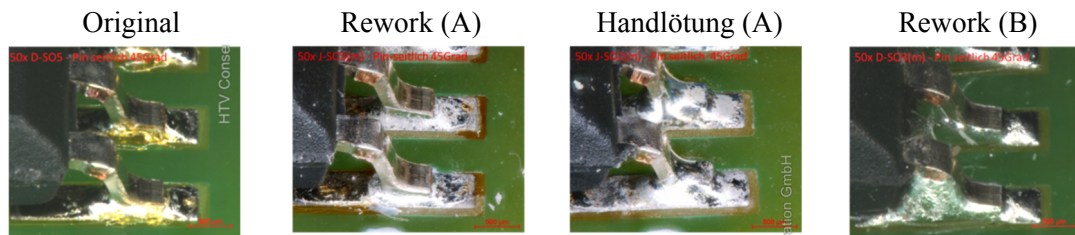


Abb. 5: Visuelle Analyse der SOP-Lötstellen.

Tab. 1: Lotmenge bei den SOP-Bauteilen.

Lotmenge Reflow (A)	Lotmenge Handlöten (A)	Lotmenge Reflow (B)
→	↑ (Zinn auch auf Pin)	↑ (viel Zinn unter Pin)
Lotoberfläche: Veränderte Farbe, Flussmittelrückstände		
Legende: → gleich, ↑ mehr, ↓ weniger		

Die BGA-Bauteile zeigen eine **Verfärbung** der **Balls**, falls **zusätzliches Flussmittel** (z. B. IF8300) vor dem Lötprozess manuell auf die Balls aufgetragen wird. Wenn die Bauteile hingegen nur in eine Schale mit Flussmittel gedippt werden, besteht kein deutlicher visueller Unterschied zwischen den manipulierten BGA-Balls und dem Original (vgl. Abbildung 6).

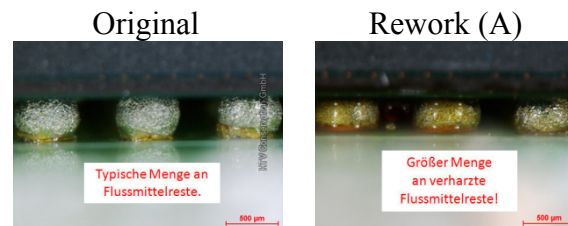


Abb. 6: Links: Original Balls.

Rechts: Balls nach Rework mit manuell aufgetragenem Flussmittel.

Bei den **QFN-Bauteilen** zeigt sich ebenfalls ein **Unterschied** in der **Lotmenge** nach dem Rework-Prozess sowohl in der Gesamtmenge als auch an der Stirnseite (vgl. Abbildung 7).

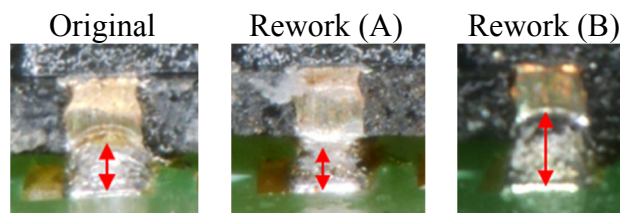


Abb. 7: Erkennbare Unterschiede bei der Lotmenge bei den QFN-Bauteilen.

1.4 Analyse von Schliffbildern

Mit Hilfe von **Querschliffen** durch eine Bauteile oder eine elektronische Baugruppe ist es möglich in den seitlich aufgenommenen Schliffbildern das **metallographische Feingefüge** der Lötstelle zu analysieren, **Materialanalysen** durchzuführen und **Schichtdicken** zu vermessen. Abbildung 8 zeigt eine vergossene Sub-Leiterplatte mit BGA-Bauteil nach dem Polierschritt.

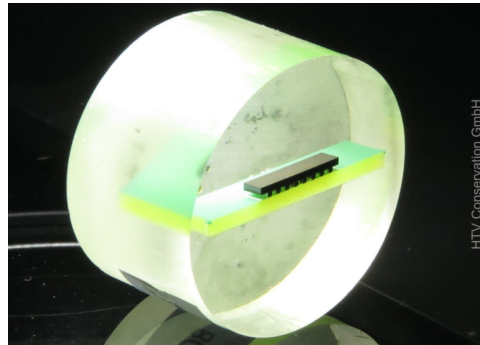


Abb. 8: Querschliff durch eine Sub-Leiterplatte mit BGA-Bauteil.

Wie bei der visuellen Analyse weisen auch die SOP-Pins im Schliffbild einen Unterschied bei der Lotmenge im Vergleich zum Original auf. Während Rework (A) dem Original sehr nahe kommt, zeigt Rework (B) eine deutlich größere Lotmenge bei den SOP-Pins und bei den von Hand gelöteten Bauteilen sind Lotreste auf der Oberseite der Pins als dünne Schicht erkennbar (vgl. Abbildung 9).



Abb. 9: Schliffbild durch die Lötstellen der SOP-Bauteile.

Bei den BGA-Balls sind im Schliffbild im metallographischen Feingefüge keine deutlichen Unterschiede zum Original erkennbar, da es sich in beiden Fällen um eine vergleichbare Zinn-Silber-Kupfer-Legierung handelt. Bei den Bauteilen, an denen ein **Reballing** durchgeführt wurde, zeigt sich ein **deutlicher Größenunterschied** bei den **Balls** (vgl. Abbildung 10).



Abb. 10: BGA-Balls im Schliffbild. Links: Original. Rechts: BGA-Balls nach einem Reballing.

Die Schliffbildanalyse der QFN-Kontakte zeigt mehrere Auffälligkeiten (vgl. Abbildung 11). Zum einen ist der Abstand zwischen Leiterplatte und Bauteilanschluss nach dem Rework etwas größer (vgl. Tabelle 2), zum anderen hat sich bei Rework (A) das gesamte Lötzinn unter den QFN-Kontakt gezogen.

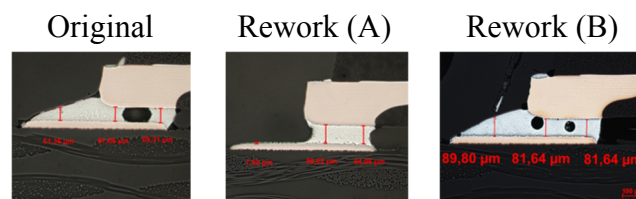


Abb. 11: QFN-Kontakte im Schliffbild.

Tab. 2: Abstand zwischen Leiterplatte und QFN-Kontakt.

Abstand zwischen Leiterplatte und QFN-Kontakt		
Original	Rework (A)	Rework (B)
ca. 68 μm	ca. 86 μm	ca. 82 μm

1.5 Analyse der intermetallischen Phase

Bei elektronischen Bauteilen und Baugruppen sind auf dem Kupferträgermaterial unterschiedliche Oberflächenbeschichtungen (z. B. Zinn oder Gold) aufgebracht, die das Grundmaterial vor Korrosion durch die Umgebung schützen und für einen Erhalt der Lötbarkeit sorgen. Durch innere Diffusionsprozesse kann aber das Gold in Kupfer (bei der Leiterplatte) und das Kupfer in Zinn (beim elektronischen Bauteil) diffundieren. Für die Leiterplatte bedeutet das, dass nach kurzer Zeit keine schützende Goldoberfläche mehr vorhanden ist und für den elektrischen Kontakt des elektronischen Bauteils, dass sich nach kurzer Zeit Kupfer in der Zinnbeschichtung befindet und dort eine intermetallische Phase (IMP) bildet. Die intermetallischen Phasen weisen einen höheren Schmelzpunkt auf als das Reinzinn und können im Lötprozess nicht mehr aufgeschmolzen werden. Um den Diffusionsprozessen entgegen zu wirken, bringen die Hersteller in der Regel eine Nickelsperrschicht zwischen Kupfer und der Oberflächenbeschichtung auf. Bei den QFN-Bauteilen existiert diese Nickelschicht aber nicht, daher eignen sich diese Bauteile besonders gut für die Analyse der IMP. Wie Abbildung 12 veranschaulicht wächst die IMP durch einen Lötprozess an. Beim Vergleich zwischen manipulierten und original-bestückten Bauteilen konnte beim Wachstum der IMP aber kein Unterschied festgestellt werden (vgl. Tabelle 3). Dies lässt sich damit begründen, dass die Reworksysteme die Temperaturen im Lötprozess sehr genau nachbilden und die nicht manipulierten Bauteile nur für kurze Zeit auf etwa 100°C erwärmt werden und in diesem Bereich die Wachstumsrate der IMP nur 21 nm/h beträgt.

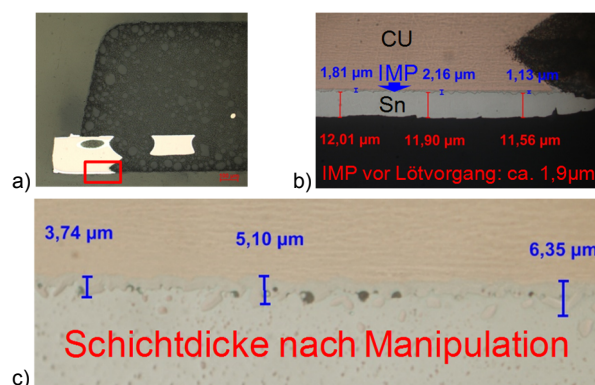


Abb. 12: Vermessung der intermetallischen Phase zwischen dem Kupfer des Trägermaterials und der Zinnbeschichtung am Rand eines QFN-Kontaktes.

a) Schliffbild durch QFN-Kontakt. b) IMP vor der Manipulation. c) IMP nach Manipulation.

Tab. 3: Vermessung der intermetallischen Phase (IMP) bei allen QFN-Bauteilen einer manipulierten Leiterplatte.

H-QFN Rework	BT-Pin / IMP (SnCu)	
	Mean	Stabw.
H-QFN1 (m)	5,87	1,76
H-QFN2 (m)	5,24	2,06
H-QFN3 (m)	4,88	1,29
H-QFN4	5,69	1,17
H-QFN5	5,25	1,88
H-QFN6	3,88	1,23

1.6 Röntgenanalyse

Die **Röntgenanalyse** zeigt in nahezu allen Lötstellen einen gewissen Anteil von **Hohlräumen** bzw. Voids (helle Flecken im Röntgenbild). Am auffälligsten sind die Balls der BGA-Bauteile nach Rework (A), sie zeigen keine Hohlräume auf. Bei den anderen Kontakten gibt es zwar leichte Abweichungen zum Original, die aber keine signifikante Auffälligkeit darstellen.

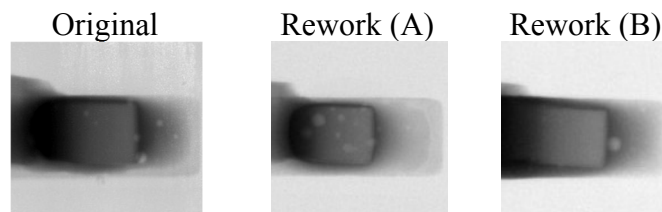


Abb. 13: Röntgen Untersuchungen der SOP-Kontakte.

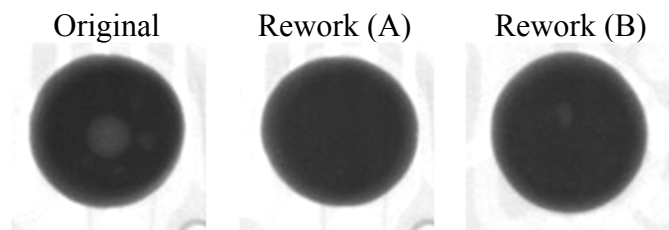


Abb. 14: Röntgen Untersuchungen der BGA-Balls.

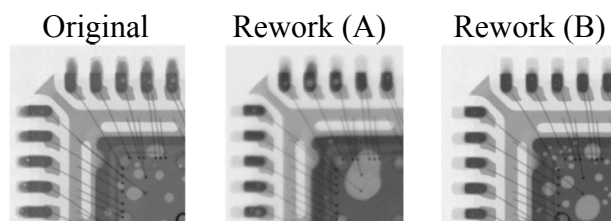


Abb. 15: Röntgen Untersuchungen der QFN-Bauteilen.

1.7 Materialanalyse

Die Zusammensetzung der Legierung in der Lötstelle wurden mittels Röntgenfluoreszenz (RFA) näher analysiert. Bei der Analyse wird die Probe mit Röntgenstrahlung beschossen. Diese dringt bis ca. 100 µm in die Probe ein. Aus dem Spektrum der zurückgestreuten charakteristischen Röntgenstrahlung können dann die im Material enthaltenen Elemente analysiert werden. Im Folgenden werden die Messergebnisse der RFA-Analyse für die SOP-Bauteile näher vorgestellt. Abbildung 16 zeigt schematisch die Messgeometrie des Aufbaus. Es wird die Lötstelle vor einem SOP-Pin vermessen.

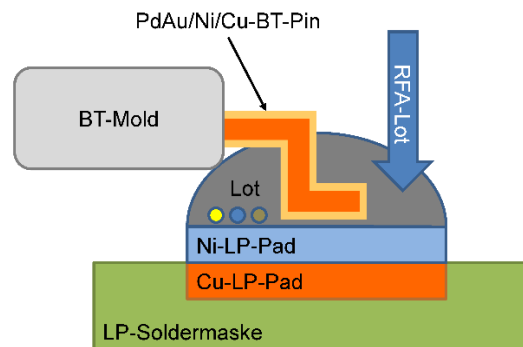


Abb. 16: Schematischer Aufbau zur Vermessung einer SOP-Lötstelle mit RFA.

Tabelle 4 enthält die Messergebnisse für sechs wichtige Elemente in unterschiedlichen Phasen des Rework-Prozesses. Der Blei-Gehalt (Pb) ist allgemein sehr gering. Dies ist typisch, da blei-freie Lotpasten verwendet werden. Die Lotpaste ist eine typische SAC-Legierung (Sn-Ag-Cu) mit einem Silberanteil von 3,5%. Interessant ist, dass ein reines Aufschmelzen der Lotpaste auf einem Pad der Leiterplatten das **Gold** der ENIG-Oberflächenbeschichtung löst und dieses anschließend **im Lötzinn gemessen** werden kann. Die Pins selbst weisen eine Nickel-Palladium-Gold-Beschichtung auf. Durch das Verlöten der Bauteil steigt der Gold- und Palladium-Anteil in der Lötstelle an. Wird jetzt das Bauteile im Rework abgelötet und das Restlot auf dem Pad entfernt, sinkt der Gold- und Palladium-Anteil wieder. Durch das Aufbringen eines neuen SOP-Bauteils mit einer SAC-Lotpaste wird nicht in gleichem Maße Gold und Palladium der Lötstelle im Rework-Prozess gelöst. Daher weisen die manipulierten Lötstellen im Vergleich zum Originalzustand einen geringeren Gold- und Palladium-Anteil auf.

Tab. 4: RFA-Analyse der elementaren Zusammensetzung einer SOP-Lötstelle.

Sn	Ag	Au	Pd	Sb	Pb
Reine Lotpaste					
96,53	3,59	0,00	0,00	0,00	0,02
Lotpaste auf Leiterplatte umgeschmolzen (ohne Bauteil) (Vergleich mit Lotpaste)					
↓ 95,68	(↓) 3,08	↑ 0,50	0,01	0,25	0,03
Beschichtung der SOP-Pins					
0,00	0,00	19,9	80,1	0,00	0,00
Legierung der Lötstelle der bestückten LP im Originalzustand (Vergleich mit Lotpaste auf LP)					

↓ 93,21	↑ 5,12	↑ 0,87	↑ 0,38	↓ 0,01	0,08
Legierung auf den LP-Pads nach Abnahme der Bauteile und Restlotentfernung (Vergleich mit Originalzustand)					
↑ 95,81	↓ 3,07	↓ 0,66	↓ 0,05	↑ 0,26	0,05
Legierung der Lötstelle mit manipuliertem Bauteil (Vergleich mit Originalzustand)					
↑ 95,34	↓ 3,21	↓ 0,59	↓ 0,18	↑ 0,36	0,03
Tendenz: ↓ abnehmend, (↓) schwach abnehmend, ↑ zunehmend, (↑) schwach zunehmend					

1.8 Härtemessung mit Nanoindentation

Um die Härte einer Leiterplatte zwischen dem Originalzustand und den manipulierten Leiterplatten zu analysieren, wurde die Nanoindentation verwendet. Ein Verfahren, bei dem eine sehr kleiner Stift mit einer Diamantspitze und spezieller Form in das zu untersuchende Material eingedrückt und dabei die Eindringtiefe und Kraft aufgezeichnet werden (vgl. Abbildung 17). Mit dem Verfahren lassen sich eine Vielzahl von Kennwerten errechnen (z. B. Eindringmodul, Eindringhärte, Martenshärte und Vickershärte). Zur Ermittlung der durchschnittlichen Eindringhärte wurde auf den unterschiedlichen Sub-Leiterplatten 25 Messwerte auf einem Feld von 5x5 Messpunkten ermittelt (vgl. Abbildung 18). Wie Abbildung 19 verdeutlicht steigt die Eigenhärte der Leiterplatten durch den Rework-Prozess an. Der Anstieg der Härte lässt sich durch das Ausgasen von Weichmachern aus dem Harzmaterial der Leiterplatte durch die hohen Temperaturen während des Rework-Prozesses erklären.

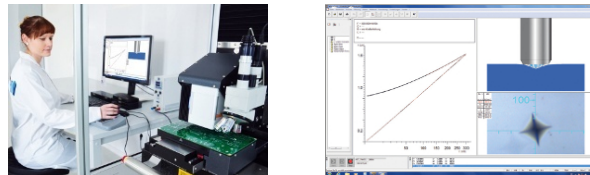


Abb. 17: Links: Messaufbau. Rechts: Messkurve mit Eindruckstelle.

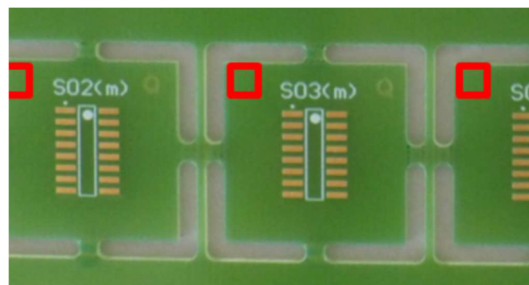


Abb. 18: Sub-Leiterplatte mit markierter Messstelle für Nanoindentation mit 5x5 Messstellen.

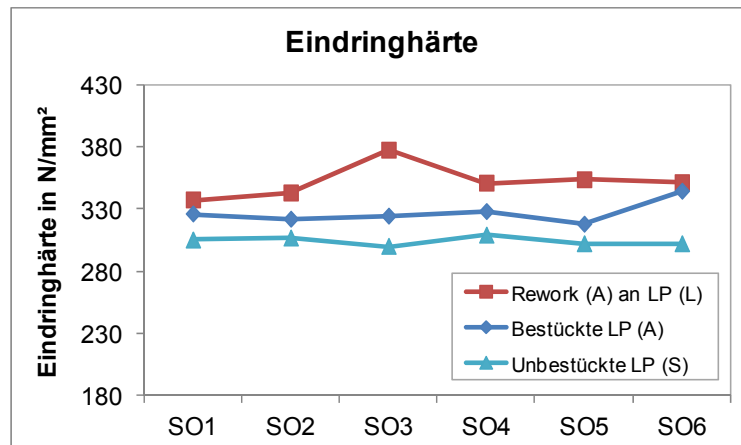


Abb. 19: Messung der Eindringhärte.

1.9 Fazit

Die vorgestellte Studie verdeutlicht, dass durch einen Rework-Prozess an einer Leiterplatte unter anderem die folgenden Auffälligkeiten auftreten können. Weitere Auffälligkeiten enthält z.B. [ZVEI17].

Auffälligkeiten an der Leiterplatte:

- Verfärbung des Harzmaterials
- Rückstände von Flussmittel
- Eindringhärte der Leiterplatte steigt an

Auffälligkeiten an elektrischen Kontakt:

- Lotmengenunterschiede
- Hohlräume bzw. Voids in den Lötstellen
- Die elementare Zusammensetzung der Lötstelle ändert sich merklich (z. B. Gold, Palladium und Antimon)

2 Analyse von Mobiltelefonen

An realen Leiterplatten von Mobiltelefonen (Samsung Galaxy S III i9300) solle geklärt werden, welche Auffälligkeiten bei einer elektronischen Baugruppe festgestellt werden können, bei der ein Bauteile entlötet und nach einem Rework wieder aufgelötet wird. Bei dem ausgetauschten Bauteil handelt es sich um ein BGA-Bauteil, das mit einem Underfill mit der Leiterplatte verklebt ist, was häufig bei Mobiltelefonen zum Schutz der Bauteile der Fall ist.

2.1 Ablauf

Im ersten Schritt wird die Leiterplatte auf ca. 150°C erwärmt, um das Underfill Material rund um das Bauteil einschneiden zu können. Das Einschneiden ist wichtig, damit keine benachbarten Bauteile während des Rework-Prozesse abgehoben werden (vgl. Abbildung 20). Das BGA-Bauteil wird dann mit einem speziellen Werkzeug während des Rework-Prozesses bei einer Temperatur von ca. 240°C abgehoben. Sowohl das Bauteil als auch die Leiterplatte werden von den Underfill- und Lotresten gereinigt. Anschließend werden in einem Reballing-Schritt neue

Lotkugeln auf die Unterseite des Bauteils aufgebracht. Danach wird das Bauteil in Flussmittel gedippt und wieder auf der Leiterplatte verlötet.

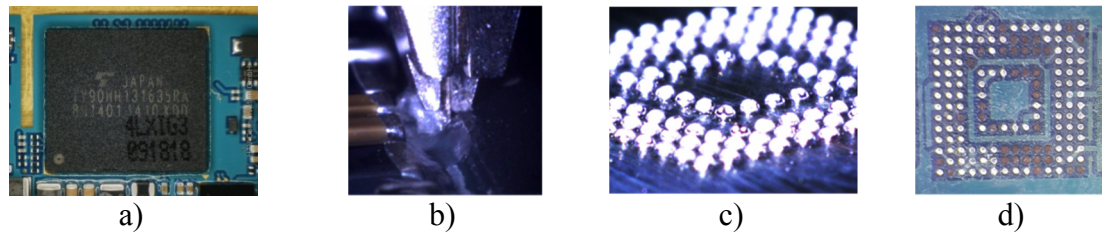


Abb. 20: a) BGA-Bauteil auf Leiterplatte, b) Einschneiden des Unterfills am Rand des Bauteils.

c) Bauteilunterseite nach dem Reballing.

d) Leiterplattenoberfläche nach dem Reinigen. Einige Pads wurden beim Auslötprozess abgerissen.

2.2 Auffälligkeiten

Abbildung 21 zeigt das BGA-Bauteil nach dem Reballing- und Rework-Prozess im Vergleich zu einem Originalbauteil. Bei der Leiterplatte zeigen sich Rückstände des Unterfill-Materials, Kratzer und einige Pads für die elektrische Kontaktierung des Bauteils sind abgerissen (vgl. Abbildung 20). Beim elektronischen Bauteil finden sich ebenfalls Reste des Unterfill-Materials, Kratzer und die elektrische Funktion ist nach dem Rework-Prozess nicht mehr gegeben.

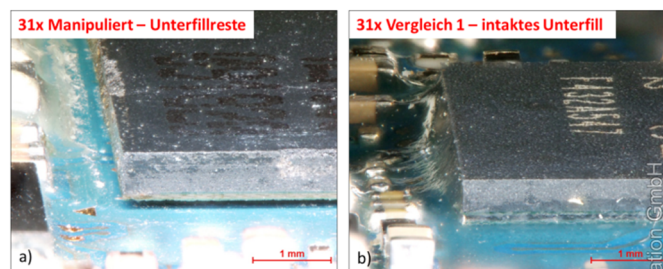


Abb. 21: a) Manipuliertes Bauteil nach Rework und Reballing-Prozess b) Intaktes Originalbauteil.

2.3 Fazit

Es ist möglich ein Bauteil mit Unterfill von einer Leiterplatte abzunehmen und über einen Reballing-Prozess wieder auf eine Leiterplatte aufzubringen. Die Leiterplatte darf bei dem Prozess aber nicht beschädigt werden, da sonst die elektrische Funktion nach dem Löten eventuell nicht mehr gegeben ist. Damit ein solches Rework funktioniert und später nicht erkennbar ist, muss der Prozess des Austauschs sehr vorsichtig und mit sehr viel Erfahrung durchgeführt werden.

3 Wechsel von Schutzblechen

Als dritten Aspekte der Manipulation bei Leiterplatten soll das Abheben und Wiederaufsetzen von speziellen Schutzblechen sein. Bei einer Leiterplatte eines BlackBerry Mobiltelefon vom Typ Z30 wurde für den Test eins der Schutzbleche abgehoben, die Lötstelle auf der Leiterplatte mit Flussmittel benetzt und das Blech anschließend wieder aufgelötet. Die Untersuchung soll auch klären, um was für eine Art von Verfärbung es sich beim Blech handelt (vgl. Abbildung 22) und ob diese Verfärbung auch noch nach einem Rework-Prozess existiert.



Abb. 22: Links: Schutzblech Rechts vergrößerte Verfärbung auf dem Rand des Blechs.

3.1 Ergebnisse

Abbildung 23 zeigt im seitlichen Blick in die Lötstelle, dass das Lötzinn nicht gleichmäßig den Schlitz zwischen Leiterplatte und Blech ausfüllt und es sogar Bereiche gibt, bei denen das Lötzinn Leiterplatte und Blech gar nicht verbindet. Die verfärbten Bereiche sind die Zonen, die nur von Flussmittel gefüllt wurden. Diese ungleichmäßige Benetzung rührt wahrscheinlich aus einer mangelhaften Lötbarkeit der Bleche und zum anderen aus einer zu geringen Menge an Lotpaste her. Abbildung 24 zeigt das getauschte Blech nach dem Rework-Prozess. Die auffällige Färbung am Rand bildet sich auch nach dem Rework aus. Ein Unterschied zum Originalblech ist kaum erkennbar.

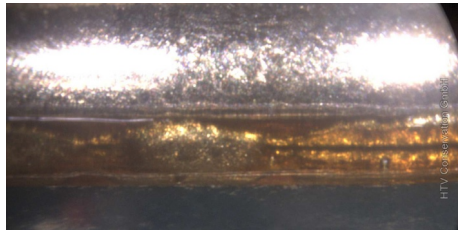


Abb. 23: Seitlicher Blick in die Lötstelle des Bleches. Mangelhafte Benetzung ist sichtbar und sogar ein Spalt zwischen Blech (oben) und Leiterplatte (unten).

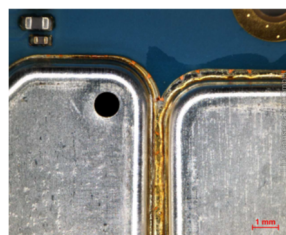


Abb. 24: Blick von oben auf die Leiterplatte. Linke Bildhälfte: Originalblech ohne Rework. Rechte Bildhälfte: Durch Rework getauschtes Blech.

3.2 Fazit

Mit einem Rework-Prozess können Schutzbleche leicht getauscht werden und die Lötstellen am Rand der Bleche kommen im visuellen Erscheinungsbild dem Originalzustand sehr nahe.

4 Resümee

Die vorgestellte Studie verdeutlicht unterschiedliche Aspekte, die beim Rework einer elektronischen Baugruppe berücksichtigt müssen. Tabelle 5 enthält abschließend noch einmal mögliche Analysen und dadurch gefundene Auffälligkeiten. Durch ein Rework können unterschiedliche Abweichungen von der Originalbaugruppe auftreten. Abhängig davon wie gut das Rework ausgeführt wird, sind diese leichter oder schwerer zu erkennen.

Tab. 5: Analysen und Auffälligkeiten.

Analyse	Mögliche Auffälligkeiten bei elektronischen Baugruppen mit Rework
Visuell / Mikroskopisch	Verfärbungen und Verformungen der LP, Unterschiede bei der Lotmenge und den Flussmittelresten in den Lötstellen, Verschmutzungen, Kratzer und Underfillrste.
Schliffbilder	Applikationsart der Lotpaste erkennbar, Abstand zwischen BT und LP z.T. unterschiedlich (Lotmengenunterschied), Analyse des Feingefüges.
Intermetallische Phase	Keine signifikanten Unterschiede beim IMP-Wachstum.
Röntgen	Unterschiede bei den Fehlstellen in den BGA-Balls und QFN-Bauteilen, Unterschiede bei der Lotmenge z. B. bei den SOP-Bauteilen.
RFA	Bei SO-Bauteilen Nachweis durch Änderungen von Au und Pd-Anteil in der Lötstelle.
Nanoindentation	Änderung der Härte der Leiterplatten durch das Rework.

Literatur

- [KuSV16] T. Kuhn, H. Schäf, W. Valouch: Lötzinn-Analyse. HTV GmbH. Forschungsprojekt für das Bundesamt für Sicherheit in der Informationstechnik, Projekt 249, 15.11.2016.
- [ZVEI17] ZVEI: Rework of Electronic Assemblies – Qualifiable Processes for Rework. German Electrical and Electronic Manufacturers' Association, November 2017.